

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-39207

(43)公開日 平成11年(1999) 2月12日

(51)Int.Cl.⁸

G 0 6 F 12/00

識別記号

5 7 0

F I

G 0 6 F 12/00

5 7 0 A

審査請求 有 請求項の数 3 O L (全 9 頁)

(21)出願番号

特願平9-196185

(22)出願日

平成9年(1997) 7月22日

(71)出願人 000190541

新潟日本電気株式会社

新潟県柏崎市大字安田7546番地

(72)発明者 渡辺 雅隆

新潟県柏崎市大字安田7546番地 新潟日本

電気株式会社内

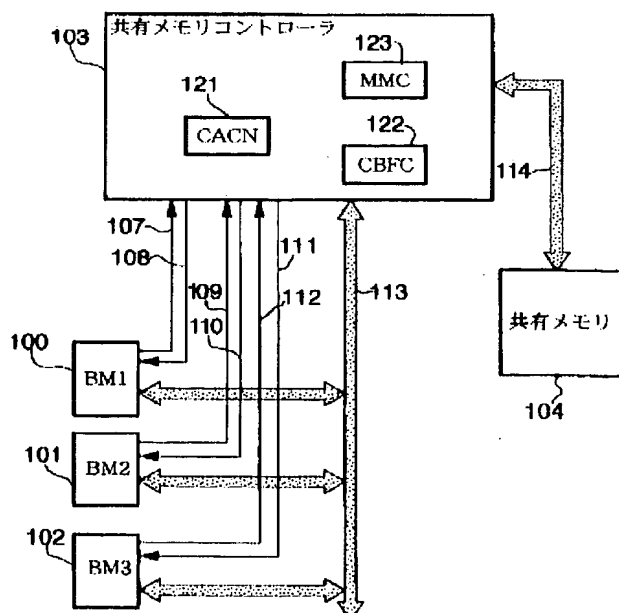
(74)代理人 弁理士 志賀 正武

(54)【発明の名称】 共有メモリ制御装置および共有メモリ制御方法

(57)【要約】

【課題】 バスマスタが必要とする単位時間当りのメモリアクセスバンド幅を維持して効率良いメモリ制御を実現する共有メモリ制御装置および共有メモリ制御方法を実現する。

【解決手段】 カレント共有メモリサイクルにおいて、随時、各バスマスタ100～102のそれぞれのメモリアクセスバンド幅を計算し判断することによって、カレント共有メモリサイクルの終了前に、次のメモリサイクル制御を決定するようにし、各バスマスタ100～102が最低限必要とするメモリアクセスバンド幅を維持して、共有メモリ104を効率良く使用する。



【特許請求の範囲】

【請求項 1】 カレント共有メモリサイクルにおいて、随時、各バスマスタのそれぞれのメモリアクセスバンド幅を計算し、カレント共有メモリサイクルの終了前に、次のメモリサイクル制御を決定して各バスマスタが最低限必要とするメモリアクセスバンド幅を維持することを特徴とする共有メモリ制御方法。

【請求項 2】 共有メモリと、当該共有メモリに対してアクセスする複数のバスマスタを制御する共有メモリコントローラとから構成される共有メモリ制御システムにおいて、

前記共有複数のバスマスタのそれぞれについて、前記共有メモリに対する単位時間当りに必要なメモリアクセスバンド幅値 ϕ と、カレント共有メモリサイクル時点における共有メモリアクセスバンド幅値 Ψ とを算出する算出手段と、

前記メモリアクセスバンド幅値 ϕ と共有メモリアクセスバンド幅値 Ψ とを比較して前記カレント共有メモリサイクルが終了する以前に、共有メモリアクセスバンド幅値 Ψ を維持するよう予測処理する予測制御手段とを具備することを特徴とする共有メモリ制御装置。

【請求項 3】 唯一の共有メモリを使用する複数のバスマスタを有する装置であって、これら各バスマスタの夫々について、単位時間当りに必要な第 1 の共有メモリアクセスバンド幅値と、カレント共有メモリサイクル時点で随時算出される各バスマスタ毎の第 2 の共有メモリアクセスバンド幅値とを比較し、前記第 1 の共有メモリアクセスバンド幅値が所定値を維持するよう予測処理することを特徴とする共有メモリ制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、唯一の共有メモリに対してアクセスする複数のバスマスタを統合制御する共有メモリ制御装置および共有メモリ制御方法に関する。

【0002】

【従来の技術】図 8 は従来の共有メモリシステムの概略構成を示すブロック図である。この図において、301、302 はそれぞれ共有メモリアクセスするバスマスタ BM1、BM2 であり、これらと共有メモリ 304 とはデータバス 310 で接続されている。303 は共有メモリアクセスを行うアービタである。バスマスタ BM1、BM2 は、共有メモリ 304 にアクセスする場合、それぞれの共有メモリアクセス権リクエスト信号（アクセス要求信号 311、313）を使用し、アービタ 303 に共有メモリアクセス要求を伝える。

【0003】アービタ 303 は共有メモリアクセス調停（アービトレーション）を行う。すなわち、共有メモリアクセス要求信号 311、313 によってバスマスタ BM1、BM2 からアクセス要求が来ると、アービタ

303 はどちらかのバスマスタにアクセス許可信号 312、314 を供給する。いま、例えば、バスマスタ BM1 が共有メモリアクセス権を得たとすると、バスマスタ BM1 からのアドレスコマンド信号 307 は、バッファ 305 を介して共有メモリ 304 の共有メモリアクセス 309 を経てメモリアクセスする。同様に、バスマスタ BM2 が共有メモリアクセス権を得た時には、アドレスコマンド信号 308 がバッファ 306 を介して共有メモリ 304 の共有メモリアクセス 309 を経てメモリアクセスする。

【0004】こうした共有メモリ制御におけるアービトレーションの基本的な例は、ローティン（回転）アービトレーションである。単純なローティンアービトレーションには、アービタ 303 が一旦あるバスマスタ側に共有メモリアクセス権を引渡した後は、その後に新たに共有メモリアクセスを必要とする他のバスマスタが出現しても、現在アクセス権を獲得しているバスマスタ側がアクセス権を放棄するまで新たに共有メモリアクセスを必要とする他のバスマスタ側を待機させねばならない、という問題がある。

【0005】この問題を回避するには、バスマスタ側に与えた共有メモリアクセス権をアービタが強制的に奪取する制御が必要となり、これ故、アービタと対応する機能回路が複雑化する弊害が生じている。そこで、このような弊害を回避するものとして、例えば、共有メモリアクセス 1 サイクル毎に、共有メモリにアクセスするバスマスタを決めるアクセス制御方法を開示した特開平 3 - 137754 号公報の技術が知られている。しかしながら、この方法では共有メモリアクセスする複数のバスマスタに対し、それぞれのバスマスタが一定時間に必要とするメモリアクセスバンド幅を保証する仕組みが取り入れていない。

【0006】一方、図 9 に図示する従来の共有メモリ制御システムでは、共有メモリ 405 に対するアドレスコマンドデータ信号は共有メモリコントローラ 404 が一括制御し、共有メモリを使用するバスマスタ BM1（401）や BM2（402）は直接、共有メモリ 405 に対してアドレスコマンド制御は行わない。つまり、図 3 および図 4 に図示する従来の共有メモリ制御方法では、バスマスタ BM1、BM2 がバス 310 またはバス 412 に対するバス占有権を獲得した場合の最大バス占有時間を、バスマスタ BM1、BM2 について 1 回の占有時間を個別に設定することにより、共有メモリアクセス時間を制限し、バス 310 もしくはバス 417 の使用効率を向上させている。

【0007】

【発明が解決しようとする課題】さて、上述した従来の共有メモリ制御システムでは、唯一の共有メモリに対してリード・ライトアクセスするバスマスタが複数存在する場合、共有メモリにアクセスするバスマスタが変更さ

10

20

30

40

50

れると、それ迄共有メモリに対して出力されていたページアドレスが変わる場合が多く、この様な場合にはページミスとなる為、リード・ライト処理が一時中断されてしまうという弊害が生じている。

【0008】つまり、換言すれば、従来の共有メモリ制御システムにおいては、共有メモリアクセスする複数のバスマスタに対し、それぞれのバスマスタが必要とする単位時間当りのメモリアクセスバンド幅を維持するアービトラージが考慮されていない、という問題がある。

【0009】そこで本発明は、このような事情に鑑みてなされたもので、バスマスタが必要とする単位時間当りのメモリアクセスバンド幅を維持して効率良いメモリ制御を実現する共有メモリ制御装置および共有メモリ制御方法を提供することを目的としている。

【0010】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の発明では、カレント共有メモリサイクルにおいて、随時、各バスマスタのそれぞれのメモリアクセスバンド幅を計算し、カレント共有メモリサイ

クルの終了前に、次のメモリサイクル制御を決定して各バスマスタが最低限必要とするメモリアクセスバンド幅を維持することを特徴とする。

【0011】また、請求項2に記載の発明では、共有メモリと、当該共有メモリに対してアクセスする複数のバスマスタを制御する共有メモリコントローラとから構成される共有メモリ制御システムにおいて、前記共有複数のバスマスタのそれぞれについて、前記共有メモリに対する単位時間当りに必要なメモリアクセスバンド幅値 ϕ と、カレント共有メモリサイクル時点における共有メモリアクセスバンド幅値 ψ とを算出する算出手段と、前記メモリアクセスバンド幅値 ϕ と共有メモリアクセスバンド幅値 ψ とを比較して前記カレント共有メモリサイクルが終了する以前に、共有メモリアクセスバンド幅値 ψ を維持するよう予測処理する予測制御手段とを具備することを特徴としている。

【0012】さらに、請求項3に記載の発明では、唯一の共有メモリを使用する複数のバスマスタを有する装置であって、これら各バスマスタの夫々について、単位時間当りに必要な第1の共有メモリアクセスバンド幅値と、カレント共有メモリサイクル時点で随時算出される各バスマスタ毎の第2の共有メモリアクセスバンド幅値とを比較し、前記第1の共有メモリアクセスバンド幅値が所定値を維持するよう予測処理することを特徴とする。

【0013】本発明では、カレント共有メモリサイクルにおいて、随時、各バスマスタのそれぞれのメモリアクセスバンド幅を計算し判断することによって、カレント共有メモリサイクルの終了前に、次のメモリサイクル制御を決定するようにしたから、各バスマスタが最低限必

要とするメモリアクセスバンド幅が維持され、結果、共有メモリを効率良く使用し得る。

【0014】

【発明の実施の形態】以下、本発明の実施の形態である共有メモリ制御システムについて、図面を参照して説明する。図1は、本発明による共有メモリ制御システムの構成を示すブロック図である。この図において、共有メモリ104と共有メモリコントローラ103とは、共有メモリデータバス115とその他の共有メモリバス114とにより1対1で接続され、共有メモリコントローラ103が共有メモリ104を一括制御する。バスマスタBM1(100)、MB2(101)およびBM3(102)は、バス113を介して共有メモリコントローラ103に接続され、当該コントローラ103を経て共有メモリ104に対してメモリアクセスする。なお、この図では、バスマスタ数が3組の場合を一例として説明するが、バスマスタ数はこれに限らず3組以上でも良い。

【0015】バスマスタBM1～BM3は、それぞれバス権要求信号107、109、112により共有メモリコントローラ103に対してバス113のバス権獲得要求を発する。共有メモリコントローラ103は、各バスマスタBM1～BM3のいずれかに対してバス権アクリッジ信号108、110、111を送出してバス権獲得を知らせる。

【0016】共有メモリコントローラ103は、CACN121、CBFC122およびMMC123とから構成される。MMC123は、共有メモリ104に対して現在ドライブしているコマンド(アドレスを含む)やそのデータ幅等を記憶する一方、共有メモリ104に使用しているデバイス毎のセンスアンプの開始アドレスおよび終了アドレスを全て記録するユニット709と、さらに共有メモリ104への制御を行うユニット710とから構成される。CBFC122は、共有メモリ104に対するプリフェッチバッファユニット(PFBFU)712と、バスマスタBM1～BM3から共有メモリ104へのライトデータを格納するライトバッファユニット(WBFU)711とを備える。

【0017】中央分岐予測コントローラ(CACN)121は、構成要素704～708とから形成される。SBMT705は、各バスマスタBM1～BM3のそれぞれについて単位時間(T)当りの最低限必要な共有メモリアクセスバンド幅値(以後、バスマスタBM1に対する共有メモリアクセスバンド幅値をSBMT1、バスマスタBM2に対する共有メモリアクセスバンド幅値をSBMT2、バスマスタBM3に対する共有メモリアクセスバンド幅値をSBMT3と記す)を記録する。CBMCU704は、SBMT705を参照して α 時点(後述する)におけるバスマスタBM1～BM3の各メモリアクセス達成値ならびにそれらの比率を記憶する。

【0018】ここで、図3を参照し、単位時間Tと時点

5

α 、 β 、 γ との関係について述べておく。時点 α 、 β 、 γ は単位時間T期間中に含まれると仮定し、 α 時点を含むT期間より1T時間だけ前のタイミングをT'期間とする。図3において、T'期間の開始時刻を"0"と定義し、T'期間の終了時刻を" t "と定義しており、これによりT期間の開始時刻は t となり、終了時刻は $2t$ となる。そして、時刻 t と時点 α 、 β 、 γ との関係は、次式(1)にて表現されるものとする。

$$0 < t < \alpha < \beta < \gamma < 2t \quad \cdots (1)$$

【0019】さて、再び図2に戻り、CACN121の構成について説明を続ける。上述したCBMCU704は、上記T期間においてもT'期間におけるデータを記録保持しておく。 α 時点においては、T期間の最初から α 時点までの期間内のデータを記録し、T期間の最後までデータ更新して行く。また、CBMCU704は、T'期間およびT期間における各バスマスタBM1～BM3のそれぞれの最初のアクセス要求時点 a 、 b 、 c を記録すると共に、リクエスト回数(以下、RCと記す)並びにバス113の占有率(以下、APと記す)とを記録保持する。

【0020】さらに、CBMCU704は、T'期間およびT期間におけるSBMT1、SBMT2およびSBMT3に対して実施された各バスマスタBM1～BM3についてのデータ転送達成比率(以後、このデータ転送達成比率をメモリアクセスバンド幅達成比率と称し、各バスマスタBM1～BM3のメモリアクセスバンド幅達成比率をそれぞれMAP1、MAP2、MAP3と記す)を記録する。図3に図示した一例の場合、T'期間ではMAP T1が60%、MAP T2が100%、MAP T3が40%であり、T期間の α 時点ではMAP T1が30%、MAP T2が40%、MAP T3が40%となっている。

【0021】CBMCU704は、このようなメモリアクセスバンド幅達成比率MAP1、MAP2、MAP3

$$AVZ \times (\delta \div (\Sigma MAVT)) < SBMTZ \quad \cdots (2)$$

が満たされることを言う。なお、この(2)式において、 $\Sigma MAVT = MAVT1 + MAVT2 + MAVT3$ である。

【0025】また、(3)式に示す条件とは、下記

(3)式の条件を満たすバスマスタをBMYとすると、

$$(\alpha - \gamma) \div T > (MAPYT' + MAPYT) \quad \cdots (3)$$

$$YY = T \times (MAPYT' + MAPYT) \div (\alpha - \gamma) \quad \cdots (4)$$

【0026】ステップS902では、まず α 時点においてBMZからバスマスタBM3(103)に対してバス113アクセス要求がされている場合、かつ、バス113がアイドルの場合をS902-1とする。S902-1では、BMZからアクセス要求を受け付ける。BMZの要求が書き込み要求であって、かつWBFU711に十分な空きがある場合には、 α 時点でBMZから共有メモリ104に対するライトサイクルを受け付ける。また、

6

の他、T'期間に各バスマスタBM1～BM3がそれぞれ1サイクル中にバスマスタ権を獲得した時の、1サイクル中の平均転送量(以後、MAVと記す)をも記録保持する。このMAVについてはT期間終了後、T'期間のMAVと平均化する。また、T'期間における各バスマスタBM1～BM3の平均転送時間MAVTも併せて記録するようになっており、この平均転送時間MAVTについてもMAVと同様、T期間終了後、T'期間のMAVTと平均化する。

【0022】PPU706は、各バスマスタBM1～BM3がアクセスする共有メモリ104へのアドレス等を予測計算する。CJU708は上述したCBMCU704、SBMT705およびPPU706からの情報に基づき、 α 時点での共有メモリコントローラ103の処理命令を出す。ARC707は、上記CJU708の指示に応じて各バスマスタBM1～BM3に対するアービトレーションを行う。

【0023】次に、図4を参照して α 時点における共有コントローラ103の処理について説明する。まず、SBMT705およびCBMCU704の情報に基づき、 α 時点以降の処理で、カレントメモリ終了後、各バスマスタBM1～BM3の共有メモリアクセスバンド幅値が満足する為に、 β 時点のリクエストを待たずに先行処理が必要であるか否かをステップS901で判断する。ここで、後述の(2)式あるいは(3)式に示す条件に該当するバスマスタが存在する時には、ステップS902の優先処理へ移行し、そうでない場合にはステップS903へ進む。

【0024】(2)式に示す条件とは、T期間にある各バスマスタBM1～BM3のそれぞれのMAP間に差分があり、MAP最小値に対応するバスマスタをBMZと仮定し、当該バスマスタBMZのMAVをMAVZ、SBMTをSBMTZとすると、 α 時点からT期間終了までの時間(以後、これを δ 期間と称す)に対して、M

このBMYが2組以上になる場合である。すなわち、バスマスタのT'期間での共有メモリアクセス要求時刻を γ とし、該当するT'期間のMAPをMAPYT'、T期間の α 時点までのMAPをMAPYTとした場合、

BMZの要求が読み出し要求であった時には、WBFU711およびPFBF__U712に対してリクエストアドレスをスヌープし、ヒットした場合は α 時点でBMZに対してリードサイクルを受け付ける。S902-1において、WBFU711およびPFBF__U712にてバッファ対応が中断される場合には、一旦、BMZに対するサイクルを中断し、 β 時点から中断された要求を再開する。

【0027】一方、バス 113 がアイドル状態でない場合をステップ S 902-2 とする。このステップ S 902-2 では、P P U 706 により B Z M の次の共有メモリサイクルが予測可能であるかどうかを判断する。予測可能であって、B M Z の次のリクエストサイクルがリード（読み出し）の場合は、 α 時点のカレント共有メモリサイクル終了後、M M C 123 より共有メモリコントローラ 103 に対して先読み処理を実施し、P F B F _ U 712 に格納して B M Z からの共有メモリアクセス要求に対して先行準備する。

【0028】予測リクエストサイクルがライト（書込み）である場合には、W B F U 711 に対して、B M Z から共有メモリ 104 に対するライトサイクルを出来るだけ W B F U 711 に取込めるように準備する。具体的には、W B F U 711 に格納されているデータで、共有メモリ 104 と不一致のデータがある場合は、 β 時点以降 B M Z からの要求がくるまでの間、W B F U 711 に格納されている当該データを、共有メモリ 104 に書き戻す処理を行う。

【0029】また、ステップ S 902 において、P P U 706 の予測が可能でない場合には、予測が可能で、かつ予測サイクルがライトの場合と同様に、カレント共有メモリサイクル終了後、 β 時点での B M Z から共有メモリ 104 へのアクセス要求があった場合に備えて W B F U 711 に格納されているデータで、共有メモリ 104 に格納されているデータと不一致のデータについては β 時点以降、B M Z からの要求が来るまでの間、共有メモリ 104 に書き戻す処理を行う。

【0030】上記ステップ S 902 の処理においては、 α 時点で β 時点以降の処理を決定することで β 時点の状況から次の共有メモリ 104 に対する制御を行うための判断時間を削減することで共有メモリサイクルの効率化を促進させ得る。

【0031】次に、ステップ S 903 の処理に進む場合について説明する。 α 時点において、T' 期間および T 期間の各 M A P の和を S M A P とすると、
$$S M A P = M A P T' + M A P T \quad \cdots (5)$$

となる。ステップ S 903 では、ステップ S 904 とステップ S 905 を同時に処理する。ステップ S 905 では、P P U 706 によって、各バスマスタ B M 1 ~ B M 3 の次に共有メモリサイクルが予測可能であるか否かが判断され、可能でない場合はステップ S 908 の β 時点判断処理に分岐する。

【0032】ステップ S 904 では、 α 時点で S M A P の最小値をとるバスマスタから、共有メモリ 104 にアクセスするために共有メモリコントローラ 103 に対してバス 113 アクセス要求がなされているかどうか判断される。アクセス要求されている場合には、ステップ S 907 の先行処理に移行する。一方、アクセス要求されていない場合には、ステップ S 908 の β 時点判断処

理へ進む。なお、ステップ S 908 の β 時点判断処理は、従来技術の範疇なので、ここでは言及せずに説明を省略する。

【0033】さて、ステップ S 904 からステップ S 907 へ移行した場合には、最小値の S M A P をとるバスマスタに対して P P U 706 より予測が可能である場合は、カレントサイクル終了後、直ちに C A C N 121 から M M C 123, C B F C 122 に対して予測に基づく処理が準備され、カレントサイクル終了後、当該バスマスタの共有メモリサイクルに移行する。

【0034】予測不可能な場合には、 α 時点のカレントサイクル中、W B F U 711, P F B F _ U 712 の各バッファに対して当該バスマスタのサイクルによって余分な W B F U 711, P F B F _ U 712 のバッファ内部のリプレースメントが生じないように準備する。例えば、カレント共有メモリサイクルがリード（読み出し）である場合、P F B F _ U 712 にカレントサイクルの必要以上のデータを格納しない等である。

【0035】次に、ステップ S 904 からステップ S 907 への分岐要因はなく、ステップ S 905 からステップ S 907 へ進む場合の処理について述べる。ステップ S 905 からステップ S 907 に移行した時、ステップ S 907 ではステップ S 907-1 とステップ S 907-2 とに場合分けされる。これについて図 5 を参照して説明する。

【0036】図 5 において、ステップ S 1000 は、ステップ S 905 からステップ S 907 に移行した場合であって、かつ α 時点で要求がない場合を指す。 α 時点でバス権要求信号 107, 109, 112 のいずれかが発生した時にステップ S 1001 に移行する。ステップ S 1000 では、次のステップ S 1000-0, S 1000-1, S 1000-2, S 1000-3 の順に条件が満たされた場合、条件が満たされた先行処理を、ステップ S 1001 へ移行する条件、すなわち、各バスマスタ B M 1 ~ B M 3 のいずれかから要求が出されるまで行う。

【0037】ステップ S 1000-0 では、W B F U 711 に格納されたデータの中で、共有メモリ 104 より新しいデータが格納されている場合、当該データのアドレスを C _ S E A + C M P 709 と比較し、一致しているデータが存在する時にはカレント共有メモリサイクル終了後、直ちに当該データを共有メモリ 104 に書き戻す処理を行う。一方、全く一致するデータが存在しない時には、W B F U 711 に格納されているデータの内、最も時間が長いデータから順番に共有メモリ 104 に書き戻す処理を行う。

【0038】ステップ S 1000-1 では、上記ステップ S 1000-0 によって W B F U 711 に格納されたデータを共有メモリ 104 に書き戻す処理の最中に実行される。P P U 706 の予測により、各バスマスタ B M

10

20

30

40

50

1～BM3のいずれかが、次の共有メモリサイクルがリード（読み出し）であって、かつその予測アドレスが共有メモリ104に書き戻すデータのアドレスと一致している場合、当該データを共有メモリ104に書き戻す処理と同時に、PFBF__U712に十分な空きがある場合は上記PFBF__U712にも当該データをストアさせる処理を行う。

【0039】ステップS1000-2では、PPU706の予測により、あるバスマスタがリードで、かつ、各バッファ711、712に予測アドレスがヒットせず

（予測したデータ量が各バッファ711、712に格納されていない場合）、かつ、カレント共有メモリサイクルのアドレスのセンスアンプアドレスを変更することなく、PPU706の予測に対応する先読みリードが可能の場合であって、しかもPFBF__U712に十分な空きがある場合に共有メモリコントローラ103が予測に基づいて先読み処理を行う。

【0040】ステップS1000-3では、PPU706のあるバスマスタの予測がリードで、かつ、各バッファ711、712に予測アドレスがヒットしなく、CSEA+CM709に格納されている共有メモリ104を構成するデバイスの中のいずれかのセンスアンプアドレスにPPU706の予測アドレスが一致する（センスアンプのアドレスに予測アドレスが該当する場合）であって、かつ、その予測アドレスを共有メモリバス115にドライブ制御する場合の、ペナルティによるウェイトが少ない場合で、かつ、バッファ712に共有メモリ104から読み出してきたデータを格納するのに十分な空きがある場合において、カレント共有メモリサイクル終了後、共有メモリコントローラ103がPPU706の予測に基づく先読み処理を行い、バッファ712に先読みしたデータを格納する。

【0041】各バスマスタBM1～BM3のいずれかから要求が来た時点で上述のステップS1000-0、S1000-1、S1000-2、S1000-3の先行処理は、現在の処理を終了して要求に応じた処理、すなわち、ステップS908のβ時点判断処理に移行する。これにより、α時点での判断および先行処理によって、共有メモリ104を使用する各バスマスタBM1～BM3のそれぞれの共有メモリアクセスバンド幅値を維持した共有メモリ制御が可能になっている。

【0042】次に、図6および図7を参照して変形例について説明する。図6に示す共有メモリシステムが図1のものと相違する点は、図6に図示するバス213がスプリットトランザクションに対応することにある。こうしたシステムにおける処理フローについて図7を参照して説明する。

【0043】ステップS901の分岐条件が「YES」となった場合には、ステップS902の優先処理に移行し、前述と同様の処理を行う。これに対し、ステップS

901の判断結果が「NO」となった場合には、ステップS910に進み、バス113がアイドルが否かを判断する。

【0044】アイドル状態にあると、ステップS911に処理を進め、各バスマスタBM1～BM3からのメモリアクセス要求を受け付ける。そして、アクセス要求があれば、ステップS912に進み、一方、アクセス要求が無ければステップS913へ進む。ステップS912に進んだ場合には、アクセス要求がライトリクエストであるか否かを判断する。ライトリクエストであれば、ステップS914の処理Bへ移行し、ライトリクエストが無ければステップS913に進む。また、ステップS901において、前述の（2）式および（3）式で表現された条件に該当するバスマスタが存在せず、しかもバス213がアイドル状態になれば、この場合もステップS913に進む。

【0045】ステップS903では、β時点で共有メモリリクエストしているバスマスタからのリクエストアドレスを受けて処理する従来技術で対応するので、ここではその内容については割愛する。

【0046】次に、ステップS912に分岐する状態について詳述する。ステップS911の状態とは、現在、バス213はアイドルであり、共有メモリバス114はアイドル状態である。よって、ステップS902のα時点において、バス114と独立に先行処理できることは、共有メモリリクエストがライトである場合に、そのライトデータを共有メモリコントローラ103のライトバッファ711に格納することである。

【0047】したがって、ステップS902において、バッファ711に十分な空きがあり、かつ共有メモリライト要求してくるバスマスタがあると、そのバスマスタに対してスプリットトランザクション制御によって再度データアクセスを許可し、α時点において共有メモリへのライトデータとそのアドレスとをバッファ711に格納することが可能になる。このステップS914での先行処理が終了した時点で、ステップS913に移行し、共有メモリバス114がアイドルになったβ時点で、リクエストされたその他の共有メモリサイクルに対して共有メモリコントローラ103が共有メモリ104と各バッファ711、712等を制御する。

【0048】以上のように、本発明によれば、カレント共有メモリサイクルにおいて、随時、各バスマスタのそれぞれのメモリアクセスバンド幅を計算し判断することによって、カレント共有メモリサイクルの終了前に、次のメモリサイクル制御を決定するようにしたから、各バスマスタが最低限必要とするメモリアクセスバンド幅が維持され、結果、共有メモリを効率良く使用し得るようになる訳である。

【0049】

【発明の効果】本発明によれば、カレント共有メモリサ

イクルにおいて、随時、各バスマスタのそれぞれのメモリアクセスバンド幅を計算し判断することによって、カレント共有メモリスサイクルの終了前に、次のメモリスサイクル制御を決定するようにしたので、各バスマスタが最低限必要とするメモリアクセスバンド幅が維持され、結果、共有メモリを効率良く使用することができる。

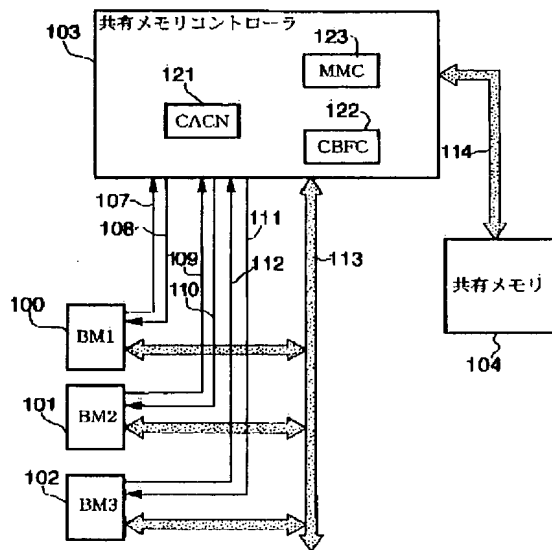
【図面の簡単な説明】

【図 1】 本発明による共有メモリ制御システムの概略構成を示すブロック図である。

【図 2】 共有メモリコントローラ 103 の構成を示すブロック図である。

【図 3】 時間軸を説明するための図である。

【図 1】



【図 4】 α 時点における処理動作を説明するためのフローチャートである。

【図 5】 先行処理の詳細を示すフローチャートである。

【図 6】 変形例を説明するためのブロック図である。

【図 7】 変形例の動作を示すフローチャートである。

【図 8】 従来例を説明するための図である。

【図 9】 従来例を説明するための図である。

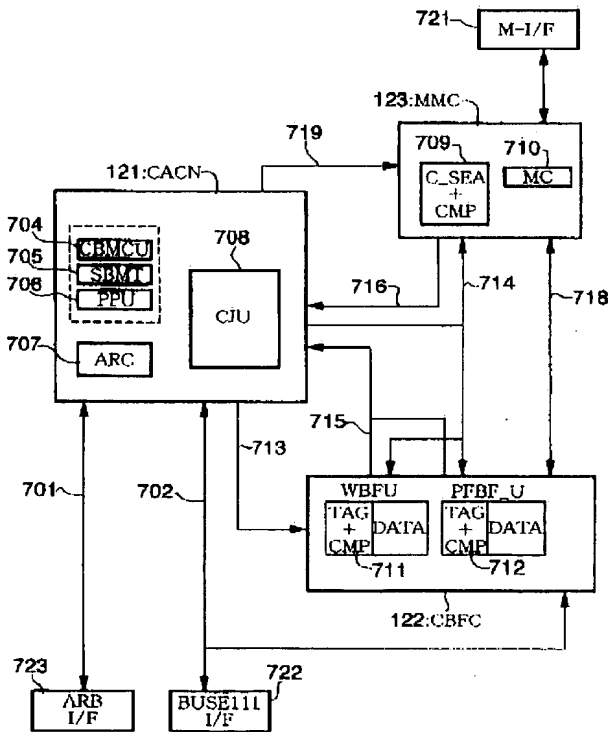
【符号の説明】

100～102 バスマスタ BM1～BM3

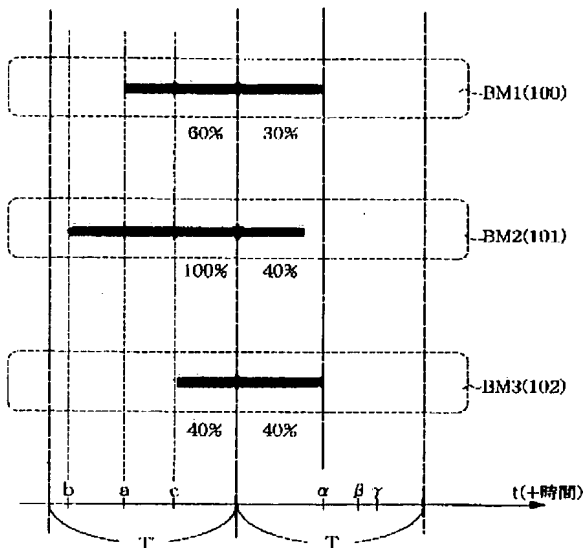
103 共有メモリコントローラ

104 共有メモリ

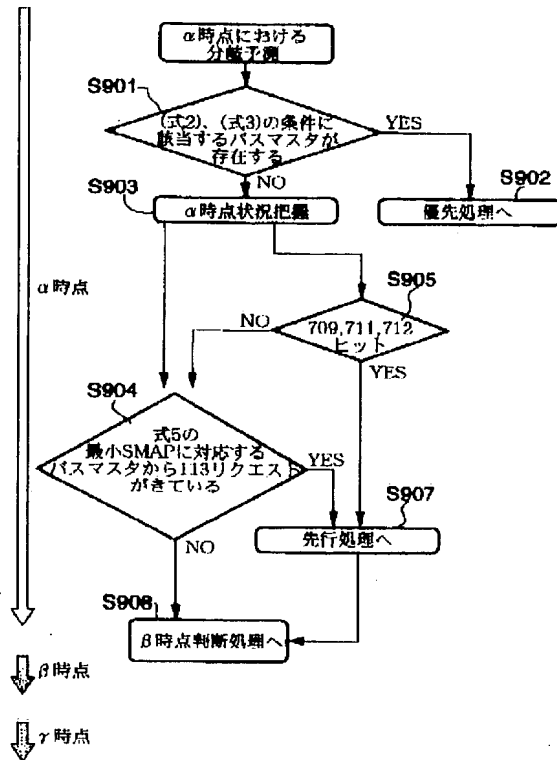
【図 2】



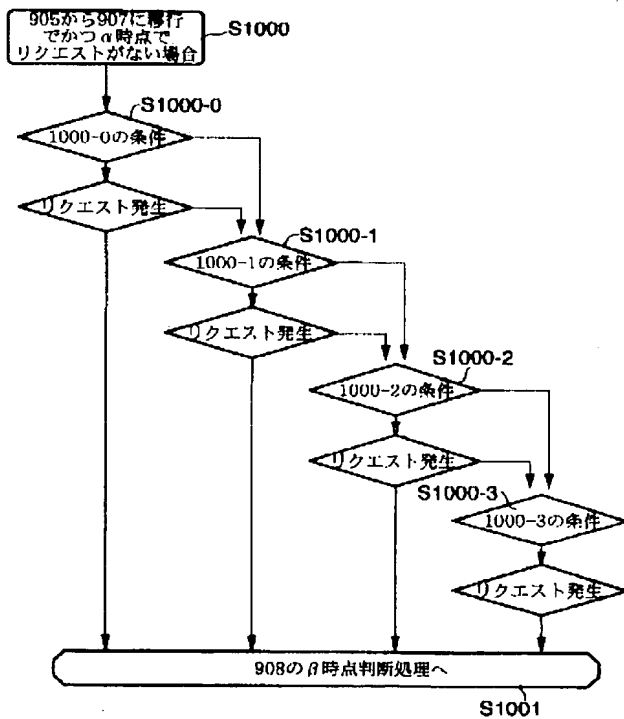
【図3】



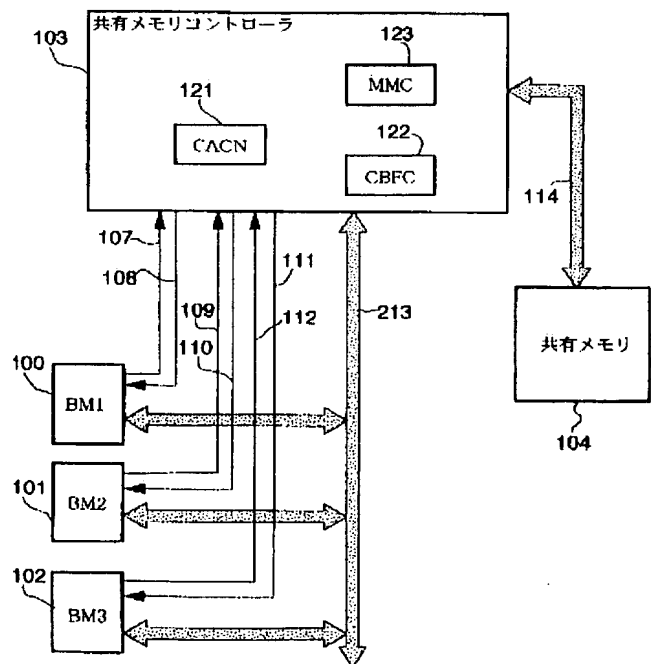
【図4】



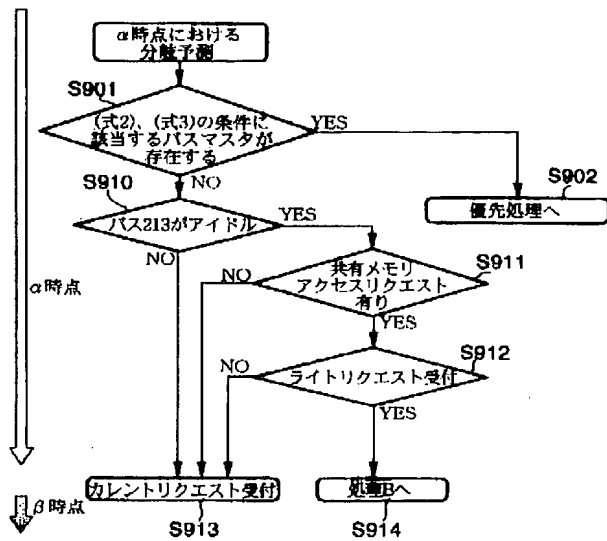
【図5】



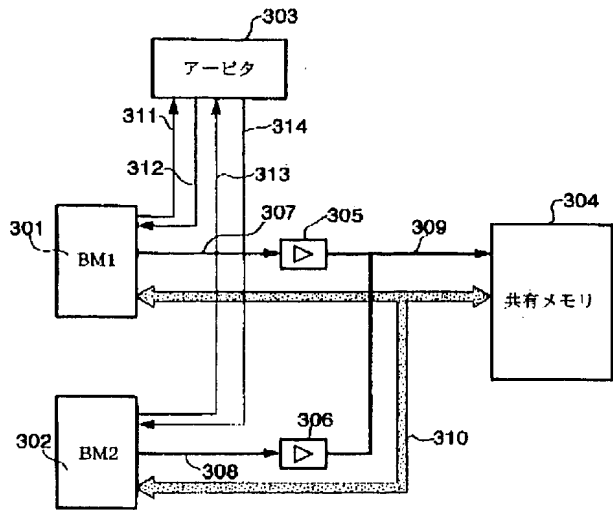
【図6】



【図7】



【図8】



【図9】

